

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. ⁶ G01R 19/00	(11) 공개번호 특 1998-048996
	(43) 공개일자 1998년 09월 15일
(21) 출원번호 특 1996-067657	
(22) 출원일자 1996년 12월 19일	
(71) 출원인 엘지반도체 주식회사 문정환	
(72) 발명자 김성수	충청북도 청주시 흥덕구 향정동 1번지
(74) 대리인 양순석	대구광역시 북구 침산 3동 431-2 청구타운 101동 1708호

심사청구 : 있음

(54) 전압 레벨 검출 회로

요약

본 발명은 전압 레벨 검출 회로에 관한 것으로, 기준 전압을 결정하는 제 2 스위칭 소자와 다른 저항값을 갖고, 상기 제 2 스위칭 소자와 병렬 연결되어 상기 제 2 스위칭 소자를 포함하는 복수개의 기준 전압을 제공하기 위한 제 3 스위칭 소자와, 상기 제 2 스위칭 소자 또는 상기 제 3 스위칭 소자와 상기 제 1 스위칭 소자 사이에 연결되어, 상기 제 1 스위칭 소자로부터 상기 제 2 스위칭 소자 또는 제 3 스위칭 소자에 공급되는 전압의 전달 경로를 스위칭 제어하는 제 4 스위칭 소자와, 상기 제 4 스위칭 소자의 온·오프 동작을 제어하는 제어 수단을 포함하여 이루어져, 기준 전압을 발생시키는 스위칭 소자를 다수개 구비하고, 구비된 스위칭 소자의 임계 전압의 오차를 소프트웨어적으로 보상하여 정확한 전압 레벨의 검출이 이루어지도록 하는 효과를 제공한다.

대표도

도 1

명세서

[발명의 명칭]

전압 레벨 검출 회로

[도면의 간단한 설명]

제 1 도는 종래의 전압 레벨 검출 회로를 나타낸 회로도.

제 2 도는 본 발명의 전압 레벨 검출 회로를 나타낸 회로도.

도면의 주요 부분에 대한 부호의 설명

Q11~Q_{n+1} : MOS 트랜지스터 INV11~INV22 : 인버터

D : 다이오드 C : 캐패시터

100 : 룬200 : 마이크로 프로세서

300 : 래치T1~T_n : 트랜스미션 게이트

[발명의 상세한 설명]

본 발명은 전압 레벨 검출 회로에 관한 것으로, 특히 기준 전압을 발생시키는 스위칭 소자를 다수개 구비하고, 구비된 스위칭 소자의 임계 전압의 오차를 소프트웨어적으로 보상하여 정확한 전압 레벨의 검출이 이루어지도록 하는 전압 레벨 검출 회로에 관한 것이다.

일반적으로 전압 레벨 검출 회로는 기준 전압을 설정한 다음, 입력된 전압과 기준 전압을 비교하도록 이루어진다.

이와 같은 종래의 전압 레벨 검출 회로를 제 1 도를 참조하여 설명하면 다음과 같다.

제 1 도는 종래의 전압 레벨 검출 회로를 나타낸 회로도이다.

제 1 도에 나타난 바와 같이 PMOS 트랜지스터(Q11)가 소스 단자는 전원전압(VCC) 단자에 연결되고, 게이트 단자는 접지 전압(VSS) 단자에 연결되며, 드레인 단자에는 두 개의 NMOS 트랜지스터(Q12)(Q13)가 직렬로 연결된다.

NMOS 트랜지스터(Q12)의 게이트 단자와 드레인 단자는 단락되어 PMOS 트랜지스터(Q11)의 드레인 단자에

연결되어 노드(N11)를 형성한다.

NMOS 트랜지스터(Q13)의 소스 단자는 접지 전압(VSS) 단자에 연결되며, 게이트 단자와 드레인 단자는 단락되어 NMOS 트랜지스터(Q12)의 소스 단자에 연결된다.

PMOS 트랜지스터(Q11)의 드레인 단자에 나타나는 신호는 인버터(INV11)에 입력되도록 연결되고, 인버터(INV11)의 출력은 인버터(INV12)에 입력되도록 연결된다.

인버터(INV12)의 출력은 전압 레벨 검출 회로의 출력 신호가 된다.

인버터(INV11)와 인버터(INV12) 사이에는 다이오드(D)의 캐소드 전극이 연결되며, 다이오드(D)의 애노드 전극은 접지 전압(VSS) 단자에 연결된다.

이와 같이 구성된 종래의 전압 레벨 검출 회로의 동작은 다음과 같다.

PMOS 트랜지스터(Q11)의 소스 단자에 전원전압(VCC)이 인가되어 PMOS 트랜지스터(Q11)가 턴 온 된다.

PMOS 트랜지스터(Q11)가 턴 온 되어 노드(N11)에 전원전압(VCC)이 인가되면 NMOS 트랜지스터(Q12)가 NMOS 트랜지스터(Q13)가 차례로 턴 온 되며, 이때 턴 온된 PMOS 트랜지스터(Q11)를 통해 노드(N11)에 나타나는 전압의 전위는 NMOS 트랜지스터(Q12)(Q13)를 턴 온시킬 수 있는 정도이다.

이때 NMOS 트랜지스터(Q12)(Q13)는 소정의 저항 값을 갖는 다이오드의 역할을 하게 되며, 이와 같은 NMOS 트랜지스터(Q12)(Q13)의 저항값은 PMOS 트랜지스터(Q11)의 저항값과 비교하여 상대적으로 매우 작다.

따라서 턴 온된 NMOS 트랜지스터(Q12)(Q13)를 통해 로우 레벨의 접지 전압(VSS)이 노드(N11)에 출력된다.

노드(N11)에 출력된 전원전압(VCC)은 인버터(INV11)에 입력된다.

인버터(INV11)에 입력되는 전압은 턴 온된 NMOS 트랜지스터(Q12)(Q13)를 통해 전달된 로우 레벨의 접지 전압(VSS)이므로, 인버터(INV11)의 출력신호는 하이 레벨이 된다.

인버터(INV11)에서 출력된 하이 레벨의 출력 신호는 인버터(INV12)를 통해 다시 반전되어 출력단(OUT)에는 로우 레벨의 신호가 출력된다.

그러므로 출력단(OUT)에 출력되는 로우 레벨의 신호는 PMOS 트랜지스터(Q11)에 인가되는 전압의 레벨이 기준 전압인 NMOS 트랜지스터(Q12)(Q13)의 임계 전압보다 높은 것을 나타낸다.

만약 PMOS 트랜지스터(Q11)에 인가되는 전원전압(VCC)의 레벨이 NMOS 트랜지스터(Q12)(Q13)의 임계 전압에 미치지 못하여 NMOS 트랜지스터(Q12)(Q13)가 턴 오프 상태로 있다면 노드(N11)에는 턴 온된 PMOS 트랜지스터(Q11)를 통해 인가된 하이 레벨의 전원전압(VCC)이 출력된다.

노드(N11)에 출력된 하이 레벨의 전압은 인버터(INV11)에 의해 반전된 다음 인버터(INV12)에 의해 다시 반전되어 출력단(OUT)에는 하이 레벨의 신호가 출력된다.

이때 출력단(OUT)에 나타난 하이 레벨의 신호는 공급되는 전원전압(VCC)이 기준 전압인 NMOS 트랜지스터(Q12)(Q13)의 임계 전압보다 낮은 것을 나타낸다.

인버터(INV11)와 인버터(INV12) 사이에 연결된 다이오드(D)는 인버터(INV11)에서 출력되는 신호의 잡음을 제거하기 위한 것이다.

그러나 이와 같은 종래의 전압 레벨 검출 회로는 검출할 수 있는 전압의 레벨이 다이오드 연결된 NMOS 트랜지스터의 임계 전압에 고정되므로 단일의 전압 레벨의 검출만이 가능하며, 반도체 제조 공정상의 문제로 인하여 기준 전압을 발생시키는 NMOS 트랜지스터의 실제 임계 전압과 회로에서 요구되는 임계전압 사이에 오차가 발생할 여지가 충분히 있으므로 이에 따른 전압 레벨의 검출 에러가 발생할 가능성이 매우 큰 것이다.

따라서 본 발명은 기준 전압을 발생시키는 스위칭 소자를 다수개 구비하고, 구비된 스위칭 소자의 임계 전압의 오차를 소프트웨어적으로 보상하여 정확한 전압 레벨의 검출이 이루어지도록 하는 목적이 있다.

이와 같은 목적의 본 발명은 기준 전압을 결정하는 제 2 스위칭 소자와 다른 저항값을 갖고, 상기 제 2 스위칭 소자와 병렬 연결되어 상기 제 2 스위칭 소자를 포함하는 복수개의 기준 전압을 제공하기 위한 제 3 스위칭 소자와, 상기 제 2 스위칭 소자 또는 상기 제 3 스위칭 소자와 상기 제 1 스위칭 소자 사이에 연결되어, 상기 제 1 스위칭 소자로부터 상기 제 2 스위칭 소자 또는 제 3 스위칭 소자에 공급되는 전압의 전달 경로를 스위칭 제어하는 제 4 스위칭 소자와, 상기 제 4 스위칭 소자의 온·오프 동작을 제어하는 제어 수단을 포함하여 이루어진다.

이와 같이 이루어진 본 발명의 일 실시예를 제 2 도를 참조하여 설명하면 다음과 같다.

제 2 도는 본 발명의 전압 레벨 검출 회로를 나타낸 회로도이다.

제 2 도에 나타난 바와 같이 PMOS 트랜지스터(Q21)의 소스 단자는 전원전압(VCC) 단자에 연결되고, 드레인 단자에는 다수개의 트랜스미션 게이트(T1~Tn)가 병렬로 연결된다.

트랜스미션 게이트(T1)에는 NMOS 트랜지스터(Q22)의 드레인 단자와 게이트 단자가 단락되어 연결되며, NMOS 트랜지스터(Q23)의 게이트 단자와 드레인 단자가 단락되어 NMOS 트랜지스터(Q22)의 소스 단자에 연결되고, NMOS 트랜지스터(Q23)의 소스 단자는 접지 된다.

다른 각각의 트랜스미션 게이트(T1~Tn)에도 이와 같은 NMOS 트랜지스터 회로가 트랜스미션 게이트(T1)와 동일하게 구성된다.

이때 각각의 트랜스미션 게이트(T1~Tn)에 연결되는 NMOS 트랜지스터 회로를 구성하는 NMOS 트랜지스터 저항 값이 각각 다르게 이루어져 있어 각각의 NMOS 트랜지스터의 임계 전압 또한 각각 다르다.

롬(100)에 저장된 프로그램이 수행되어 발생하는 데이터가 마이크로 프로세서(200)에 전달되도록 연결되고, 마이크로 프로세서(200)에서 발생한 각각의 제어 신호는 각각의 트랜스미션 게이트(T1~Tn)의 제어 단자에 연결되어 있는 래치(300)에 출력되도록 연결되고, 래치(300)는 마이크로 프로세서(200)로부터 출력된 제어 신호를 입력받아 저장한 다음 제어 신호를 각각의 트랜스미션 게이트(T1~Tn)에 전달하여 트랜스미션 게이트(T1~Tn)의 온·오프 동작을 제어하도록 연결된다.

PMOS 트랜지스터(Q21)의 드레인 단자와 각각의 트랜스미션 게이트(T1~Tn)가 연결되어 이루어진 노드(N21)는 인버터(INV21)의 입력단과 연결되며, 인버터(INV21)의 출력 신호는 인버터(INV22)에 입력되도록 연결되고, 인버터(INV22)의 출력은 본 발명의 전압 레벨 검출 회로의 출력 신호가 된다.

인버터(INV21)의 출력단과 접지 사이에는 캐패시터(C)가 연결되어 있다.

이와 같이 구성된 본 발명의 동작을 설명하면 다음과 같다.

PMOS 트랜지스터(Q21)에 인가되는 전원전압(VCC)의 레벨이 상승하여 PMOS 트랜지스터(Q21)를 턴 온시키면, 노드(N21)에 소정 레벨의 전압이 인가되며, 노드(N21)에 나타나는 전압은 각각의 트랜스미션 게이트(T1~Tn)에 전달된다.

이때 마이크로 프로세서(200)에서는 검출하고자 하는 전압 레벨에 따라 트랜스미션 게이트(T1~Tn) 가운데 하나를 턴 온시키게 되고, 턴 온된 트랜스미션 게이트를 통해 NMOS 트랜지스터 회로에 노드(N21)의 전압이 전달된다.

따라서 턴 온된 NMOS 트랜지스터 회로를 통해 로우 레벨의 접지 전압(VSS)이 노드(N21)에 나타나게 되며, 노드(N21)의 로우 레벨 전압이 인버터(INV21)에 입력된다.

인버터(INV21)에 입력된 로우 레벨의 전압은 하이 레벨로 반전 출력되어 인버터(INV22)에 입력되고, 인버터(INV22)에 입력된 신호는 로우 레벨로 반전 출력된다.

이때 인버터(INV22)에서 출력된 본 발명의 전압 레벨 검출 회로의 출력신호(OUT)는 마이크로 프로세서(200)에 피드백 되도록 연결되어 있기 때문에 마이크로 프로세서(200)에서는 피드백된 출력 신호(OUT)를 입력으로 받아 현재 출력되는 출력 신호(OUT)의 레벨을 검출한 다음 롬(100)에서 수행되는 프로그램을 통해 소정의 제어 신호를 재출력한다.

이때 트랜스미션 게이트에 연결되어 있는 NMOS 트랜지스터 회로의 두 NMOS 트랜지스터가 반도체 제조 공정의 문제로 인하여 각각의 트랜지스터의 임계 전압 값이 차이가 있기 때문에 각각의 NMOS 트랜지스터에서 발생하는 전압 강하의 크기가 반드시 일치하지 않게 된다.

따라서 롬(100)에서 수행되는 프로그램은 상술한 바와 같은 NMOS 트랜지스터의 임계 전압 오차를 보상하기 위한 것이다.

또 다른 경우, 턴 온된 PMOS 트랜지스터(Q21)를 통해 노드(N21)에 전달된 전압의 레벨이 마이크로 프로세서(200)의 제어 신호에 의해 턴 온된 트랜스미션 게이트에 연결된 NMOS 트랜지스터 회로를 턴 온시킬 수 없는 레벨의 전압인 경우에는 노드(N21)에 전달된 하이 레벨의 전원전압(VCC)이 인버터(INV21)에 입력된다.

인버터(INV21)에 입력된 하이 레벨의 전압은 로우 레벨로 반전되어 인버터(INV22)에 입력되며, 인버터(INV22)에 입력된 로우 레벨의 전압은 하이 레벨로 반전되어 출력된다.

이와 같은 인버터(INV21)의 출력단과 접지 사이에 연결된 캐패시터(C)는 인버터(INV21)의 출력 신호에 포함된 잡음을 제거하기 위한 것이다.

따라서 본 발명은 기준 전압을 발생시키는 스위칭 소자를 다수개 구비하고, 구비된 스위칭 소자의 임계 전압의 오차를 소프트웨어적으로 보상하여 정확한 전압 레벨의 검출이 이루어지도록 하는 효과가 있다.

(57) 청구의 범위

청구항 1

소정의 저항 값을 갖는 제 1 스위칭 소자와, 상기 제 1 스위칭 소자와 비교하여 상대적으로 매우 작은 저항 값을 갖는 제 2 스위칭 소자가 전원 전압 단자와 접지 전압 단자 사이에 직렬 연결되어 상기 제 1 스위칭 소자를 통해 공급되는 전압이 상기 제 2 스위칭 소자의 턴 온 임계 전압 이상인 경우에는 상기 제 2 스위칭 소자가 턴 온되어 접지 전압의 출력이 이루어지도록 하고, 상기 제 1 스위칭 소자를 통해 공급되는 전압이 상기 제 2 스위칭 소자의 턴 온 임계 전압 이하인 경우에는 제 1 스위칭 소자만 턴 온되어 전원 전압의 출력이 이루어지도록 함으로써 상기 제 2 스위칭 소자의 턴 온 임계 전압을 기준 전압으로 하여 상기 제 1 스위칭 소자를 통해 전달되는 전압의 레벨을 검출하도록 이루어진 전압 레벨 검출 회로에 있어서,

상기 제 2 스위칭 소자와 다른 저항 값을 갖고, 상기 제 2 스위칭 소자와 병렬 연결되어 상기 제 2 스위칭 소자를 포함하는 복수개의 기준 전압을 제공하기 위한 제 3 스위칭 소자와;

상기 제 2 스위칭 소자 또는 상기 제 3 스위칭 소자와 상기 제 1 스위칭 소자 사이에 연결되어, 상기 제 1 스위칭 소자로부터 상기 제 2 스위칭 소자 또는 제 3 스위칭 소자에 공급되는 전압의 전달 경로를 스위칭 제어하는 제 4 스위칭 소자와;

상기 제 4 스위칭 소자의 온·오프 동작을 제어하는 제어 수단을 포함하는 것이 특징인 전압 레벨 검출 회로.

청구항 2

제 1 항에 있어서,

상기 제 2 스위칭 소자는 게이트 단자와 드레인 단자가 단락되어 상기 제 4 스위칭 소자에 연결되고, 소스 단자가 접지 단자에 연결되어 이루어진 NMOS 트랜지스터인 것이 특징인 전압 레벨 검출 회로.

청구항 3

제 1 항에 있어서,

상기 제 3 스위칭 소자가 적어도 하나 이상 구비되는 것이 특징인 전압 레벨 검출 회로.

청구항 4

제 1 항에 있어서,

상기 제 4 스위칭 소자는 트랜스미션 게이트인 것이 특징인 전압 레벨 검출 회로.

청구항 5

제 1 항에 있어서, 상기 제어 수단은,

프로그래밍이 가능한 메모리 소자와;

상기 메모리 소자에 저장된 프로그램에 따라 소정의 제어 신호를 출력하는 마이크로 프로세서와;

상기 마이크로 프로세서에서 출력되는 상기 제어 신호를 저장하고, 저장된 상기 제어 신호를 상기 제 4 스위칭 소자의 온·오프 제어 신호로서 출력하도록 이루어지는 저장 수단을 포함하는 것이 특징인 전압 레벨 검출 회로.

청구항 6

제 5 항에 있어서,

상기 메모리 소자가 프로그래머블 롬인 것이 특징인 전압 레벨 검출 회로.

청구항 7

제 5 항에 있어서,

상기 저장 수단이 래치인 것이 특징인 전압 레벨 검출 회로.

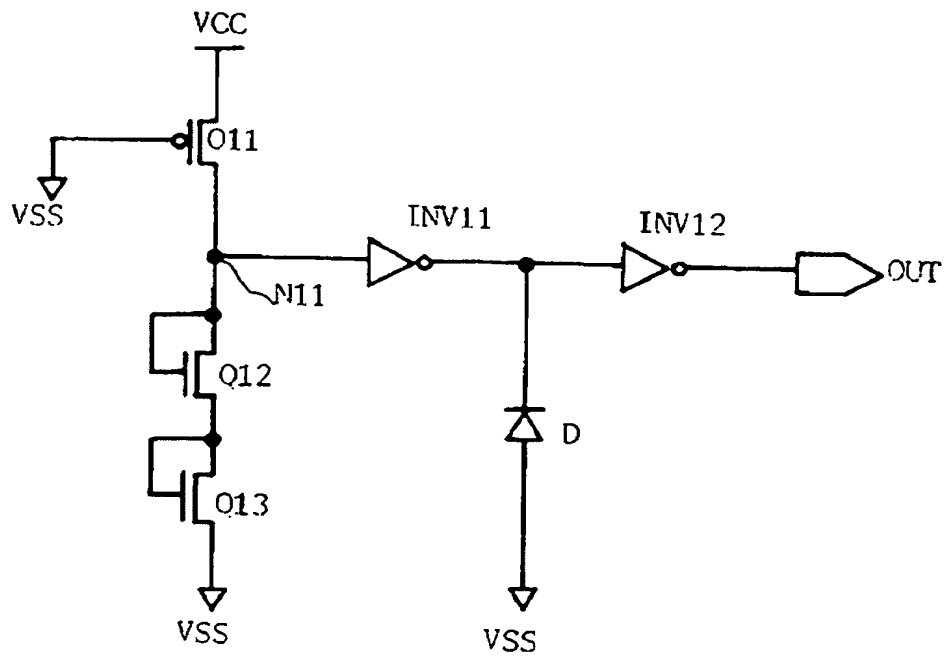
청구항 8

제 5 항에 있어서,

전압 레벨 검출 회로의 출력 신호가 상기 마이크로 프로세서에 피드백되도록 이루어져, 상기 피드백된 출력 신호와 상기 메모리 소자의 프로그램 수행 결과를 기준으로 하여 소정의 제어 신호를 발생시키도록 이루어지는 것이 특징인 전압 레벨 검출 회로.

도면

도면1



도면2

